

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214477  
(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H04L 7/027  
H04L 12/28

(21)Application number : 08-017771  
(22)Date of filing : 02.02.1996

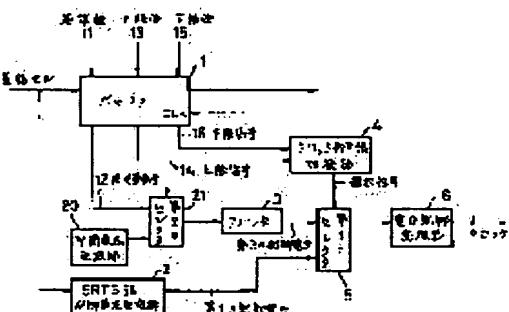
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
(72)Inventor : FUKUI AKITO  
MATSUURA TAKEO

**(54) CLOCK RECOVERY DEVICE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce jitter produced when the synchronous residual time stamp (SRTS) method is replaced with the adaptive clock method in the clock recovery system in combination of the SRTS method and the adaptive clock method.

**SOLUTION:** A clock of the SRTS method is recovered by an output of a 1st control voltage by synchronous time stamp residual information of an SRTS method control voltage generating section 2. A 2nd selector 21 selects an output close to a 1st control voltage of an intermediate voltage generating section 20 and smoothed and outputted by a filter 3. When an information amount of a buffer 1 reaches an upper limit 13 or over and when the adaptive clock method using a 2nd control voltage is selected, the 2nd selector 21 selects a used amount signal 12 from the buffer 1 is selected and outputted to the filter 3. The output of the filter 3 is changed from the output of the intermediate voltage generating section 20 into the signal 12, a voltage difference between the 1st control voltage and the 2nd control voltage is reduced. Voltage fluctuation caused at switching is reduced and jitter caused in a clock outputted from a voltage controlled oscillator 6 is reduced.



## LEGAL STATUS

[Date of request for examination] 08.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3333376

[Date of registration]

3333376

[Number of appeal ag

[Date of requesting appeal against examiner's decision of re

[Date of extinction of right]

• [View Details](#) [Edit](#) [Delete](#) [Print](#) [Email](#) [Share](#) [Report](#) [Log](#)

Copyright (C), 1998,2003 Japan Patent Office

549122SP01

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-214477

(43) 公開日 平成9年(1997)8月15日

(51) int.CI' 级别配号 厂内整理号 P I 技术表示箇所  
H04L 7/02 12/28 0466-5K H04L 7/02 11/20 A D

審査請求 未請求 審求項の数3 OL (全10頁)

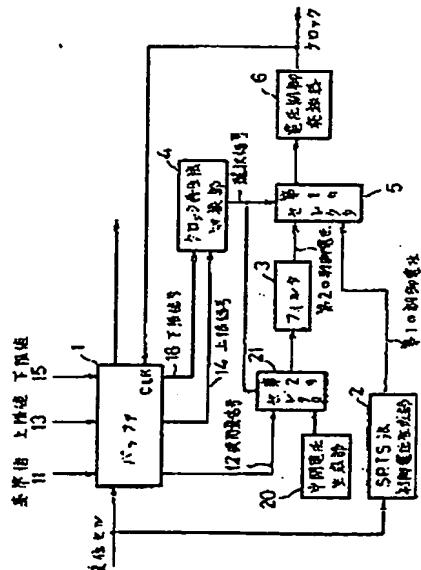
(21)出願番号	特願平3-17771	(71)出願人	000005821 松下电器產業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成3年(1991)2月2日	(72)発明者	福井 草人 神奈川県横浜市港北区鶴島東四丁目3番1号 松下通信工業株式会社内
		(72)発明者	松浦 健夫 神奈川県横浜市港北区鶴島東四丁目3番1号 松下通信工業株式会社内
		(74)代理人	弁理士 松村 博

(54) [発明の名称] クロック再生装置

(57) [要約]

【課題】 SRTS法と適応クロック送を組み合わせたクロック再生方式でSRTS法から適応クロック送へ切り換えたとき、発生するジッタを低減する。

【解決手段】 SRTS 法制御電圧生成部2の同期タイムスタンプ残差情報による第1の制御電圧の出力でSRTS 法のクロック再生をする。第2のセレクタ21は中間電圧生成部20の第1の制御電圧に近い出力を選択し、フィルタ3で平滑化して出力する。バッファ1の情報盤が上限値13以上となり、第2の制御電圧を用いる適応・クロック法へ切り換えたとき、第2のセレクタ21はバッファ1からの使用信号12を選択し、フィルタ3に出力する。フィルタ3の出力は中間電圧生成部20の出力から使用信号12の値に変化するので、第1の制御電圧と第2の制御電圧の電圧差が小さくなる。切り換えた際に生じる電圧変動が小さくなり、電圧制御発振器6の出力するクロックに生じるジャッタの量が低減できる。



(2)

特開平9-214477

1

【特許請求の範囲】

【請求項1】受信したセルに格納されている情報を格納し該情報の量が予め設定された閾値以上であることを示す使用量信号を出力する格納手段と、送信側クロックの周波数情報を表す同期タイムスタンプ残差情報を用いるSRTS法により、クロックの再生を行うための第1の制御電圧を生成するSRTS法制御電圧生成手段と、入力信号を平滑化して適応クロック法によりクロックの再生を行うための第2の制御電圧を生成するフィルタ手段と、前記第1の制御電圧と前記第2の制御電圧のどちらかを選択する第1の選択手段と、前記第1の制御電圧に近い電圧を出力する中間電圧生成手段と、該中間電圧生成手段の出力と前記格納手段の出力する前記使用量信号のどちらかを選択して前記フィルタ手段に入力する第2の選択手段と、前記第1の選択手段と前記第2の選択手段にSRTS法と適応クロック法のクロック再生法を切り換えるための選択信号を出力するクロック再生法切換手段と、前記第1の選択手段が選択した制御電圧に応じて出力するクロックの周波数を変化させる電圧制御発振手段とを備え。

前記第1の選択手段において前記第1の制御電圧を選択している間、前記第2の選択手段では前記中間電圧生成手段の出力を選択して前記フィルタ手段に入力し、前記第1の選択手段により前記第2の制御電圧が選択されるとき前記第2の選択手段は前記使用量信号を選択して、前記第2の制御電圧が変化しても、該第2の制御電圧は前記中間電圧生成手段の出力値から変化するため、前記第1の制御電圧から前記第2の制御電圧へ切り換えた際に生じる電圧変動が小さくなり、前記電圧制御発振手段から出力されるクロックに生じるジャッタの量を低減することを特徴とするクロック再生装置。

【請求項2】受信したセルに格納されている情報を格納し該情報の量が予め設定された閾値以上であることを示す使用量信号を出力する格納手段と、送信側クロックの周波数情報を表す同期タイムスタンプ残差情報を用いるSRTS法により、クロックの再生を行うための第1の制御電圧を生成するSRTS法制御電圧生成手段と、前記使用量信号を平滑化して適応クロック法によりクロックの再生を行うための第2の制御電圧を生成するフィルタ手段と、前記第1の制御電圧と前記第2の制御電圧のどちらかを選択する第1の選択手段と、該第1の選択手段にSRTS法と適応クロック法のクロック再生法を切り換えるための選択信号を出力するクロック再生法切換手段と、前記第1の選択手段が選択した制御電圧に応じて出力するクロックの周波数を変化させる電圧制御発振手段とを備え。

前記第1の選択手段において前記第1の制御電圧を選択している間、前記第2の選択手段は前記第1の制御電圧と一致するように前記格納手段の閾値を変える閾値制御手段とを備え、

前記第2の制御電圧が一致するように前記格納手段の閾値を変える制御により、前記第1の制御電圧から前記第2の制御電圧へ切り換えた際に生じる電圧変動が小さくなり、前記電圧制御発振手段から出力されるクロックに生じるジャッタの量を低減することを特徴とするクロック再生装置。

【請求項3】受信したセルに格納されている情報を格納し該情報の量が予め設定された閾値以上であることを示す使用量信号を出力する格納手段と、送信側クロックの周波数情報を表す同期タイムスタンプ残差情報を用いるSRTS法により、クロックの再生を行うための第1の制御電圧を生成するSRTS法制御電圧生成手段と、入力信号を平滑化して適応クロック法によりクロックの再生を行うための第2の制御電圧を生成するフィルタ手段と、前記第1の制御電圧と前記第2の制御電圧のどちらかを選択する第1の選択手段と、前記第1の制御電圧と前記格納手段の出力する前記使用量信号のどちらかを選択して前記フィルタ手段に入力する第2の選択手段と、前記第1の選択手段と前記第2の選択手段にSRTS法と適応クロック法のクロック再生法を切り換えるための選択信号を出力するクロック再生法切換手段と、前記第1の選択手段が選択した制御電圧に応じて出力するクロックの周波数を変化させる電圧制御発振手段とを備え。

前記第1の選択手段において前記第1の制御電圧を選択している間、前記第2の選択手段では前記第1の制御電圧を選択して前記フィルタ手段に入力し、前記第2の制御電圧を前記第1の制御電圧と等しくすることで、前記第1の選択手段により前記第2の制御電圧が選択されるとき前記第2の選択手段は前記使用量信号を選択して、前記第2の制御電圧が変化しても、該第2の制御電圧は前記中間電圧生成手段の出力値から変化するため、前記第1の制御電圧から前記第2の制御電圧へ切り換えた際に生じる電圧変動が小さくなり、前記電圧制御発振手段から出力されるクロックに生じるジャッタの量を低減することを特徴とするクロック再生装置。

前記第1の選択手段において前記第1の制御電圧を選択している間、前記第2の選択手段では前記第1の制御電圧を選択して前記フィルタ手段に入力し、前記第2の制御電圧を前記第1の制御電圧と等しくすることで、前記第1の選択手段により前記第2の制御電圧が選択されるとき前記第2の選択手段にSRTS法と適応クロック法のクロック再生法を切り換えるための選択信号を出力するクロック再生法切換手段と、前記第1の選択手段が選択した制御電圧に応じて出力するクロックの周波数を変化させる電圧制御発振手段とを備え。

前記第1の選択手段において前記第1の制御電圧を選択している間、前記第2の選択手段では前記第1の制御電圧を選択して前記フィルタ手段に入力し、前記第2の制御電圧を前記第1の制御電圧と等しくすることで、前記第1の選択手段により前記第2の制御電圧が選択されるとき前記第2の選択手段は前記使用量信号を選択して、前記第2の制御電圧が変化しても、該第2の制御電圧は前記第1の制御電圧の値から変化するため、前記第1の制御電圧から前記第2の制御電圧へ切り換えた際に生じる電圧変動が小さくなり、前記電圧制御発振手段から出力されるクロックに生じるジャッタの量を低減することを特徴とするクロック再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM(非同期転送モード)方式を用いて固定速度情報を転送する場合に、送信側のクロックの周波数を受信側において、SRTS(Synchronous Residual Time Stamp)法と適応クロック法を組み合わせた方式により再生するクロック再生装置に関するものである。

【0002】

【従来の技術】SRTS法と適応クロック法は、ITU-T勧告I.363で規定されているクロックの再生方式である。以下にSRTS法、適応クロック法、SRTS法と適応クロック法を組み合わせた方式について説明する。

50

(3)

特開平9-214477

3

【0003】まず、SRTS法は通信を行う送信側と受信側で共通のクロックを参照できる場合に利用可能な方法である。送信側では、Nビット毎の固定速度情報の間隔で共通のクロックを計測し、計測値の中で送信クロックの周波数変動により値が変わる部分だけを同期タイムスタンプ残差情報をとしてセルに挿入して送信する。受信側では、送られてきた同期タイムスタンプ残差情報を共通のクロックとからNビットの固定速度情報の間隔を再生し、この間隔をもとに送信側のクロックを再生するものである。

【0004】適応クロック法は、受信側において受信したセルに格納されている固定速度情報をバッファに格納し、格納した情報の値が基準値を保持するようにバッファの読み出しクロックを削除する方式であり、この読み出しクロックが再生した送信側のクロックとなる。

【0005】前記のSRTS法と適応クロック法を比較すると、再生したクロックのジャッタ／ワンダの特性については、SRTS法の方が優れている。しかし、SRTS法は送信側と受信側で共通のクロックを参照できることを必要とする。

【0006】次に、SRTS法と適応クロック法とを組み合わせた方式は、送信側と受信側で共通のクロックを参照できない場合でも、できるだけSRTS法を使用することで、再生したクロックのジャッタ／ワンダ特性を改善しようとする方式である。しかし、共通のクロックを参照できない場合にSRTS法を使用すると、バッファのオーバーフロー／アンダーフローが発生する可能性がある。このため、SRTS法と適応クロック法とを組み合わせた方式は、バッファに格納される情報量により、SRTS法と適応クロック法を切り換えて使用するものである。

【0007】SRTS法と適応クロック法とを組み合わせた方式では、バッファに格納される情報量が予め設定した基準値に達した後、SRTS法によりクロックを再生する。その後バッファに格納される情報量が予め設定した上限値または下限値に達すると、適応クロック法によりクロックを再生し、バッファの情報量を基準値に戻す。バッファの情報量が基準値に戻った後は再びSRTS法でクロックを再生する。このため、通信側と受信側で共通のクロックが参照できない場合でも、バッファのオーバーフロー／アンダーフローが発生することなく、SRTS法によるクロック再生を利用できる。

【0008】図7は従来のSRTS法と適応クロック法を組み合わせたクロック再生装置の構成を示すブロック図である。図7において、1は受信したセルに格納されている情報を格納するバッファ、2は、受信したセルに格納されている同期タイムスタンプ残差情報を用いて、SRTS法によりクロックを再生するための第1の制御電圧を生成するSRTS法制御電圧生成部、3はバッファ1から出力される使用量信号を平滑化して適応クロック

4

クロックによりクロックを再生するための第2の制御電圧を生成するフィルタ、4は、バッファ1に格納される情報量に応じて、SRTS法と適応クロック法とを切り換えるための選択信号を出力するクロック再生法切換部、5は、クロック再生法切換部4からの選択信号に従って、SRTS法制御電圧生成部2の出力する第1の制御電圧とフィルタ3の出力する第2の制御電圧のどちらかを選択する第1のセレクタ、6は入力された制御電圧に応じて出力するクロックの周波数を変化させることができる電圧制御発振器である。

【0009】また、11はバッファ1に格納される情報量の基準となる閾値を示す予め設定された基準値、12は情報量が基準値11以上であることを示す使用量信号、13はバッファ1に格納される情報量の上限を示す予め設定された上限値、14は情報量が上限値13以上であることを示す上限信号、15はバッファ1に格納される情報量の下限を示す予め設定された下限値、16は情報量が下限値15以下であることを示す下限信号、CLKは、電圧制御発振器6で再生されたクロックが入力され、そのクロックの入力によりバッファ1に格納した情報が出力されるクロック端子である。

【0010】図8は従来のクロック再生装置の動作を説明するため各信号波形のタイミングを示す図である。図8において、aはバッファ1に格納される情報量により変化する使用量の波形、bはSRTS法制御電圧生成部2から出力される第1の制御電圧の波形、cはバッファ1の使用量信号12の波形、dはフィルタ3から出力される第2の制御電圧の波形、eは第1のセレクタ5から出力される波形である。

【0011】以上のように構成されるSRTS法と適応クロック法を組み合わせた方式のクロック再生装置について、図7、図8を用いてその動作を説明する。SRTS法と適応クロック法を組み合わせた方式ではバッファ1に格納される情報量が基準値11以上となった後、SRTS法によりクロックの再生を開始する。基準値11以下の状態(図8に示すAの期間)では、再生したクロックがバッファ1に入力されても、バッファ1に格納されない情報は出力されない。

【0012】次に、バッファ1に格納される情報量が基準値11以上となった後(図8に示すBの期間)、SRTS法によりクロックを再生している間の動作について説明する。受信したセルの情報はバッファ1に格納されると共にSRTS法制御電圧生成部2に入力される。SRTS法制御電圧生成部2は、セルに格納されている同期タイムスタンプ残差情報をもとに、SRTS法によりクロックを再生するための第1の制御電圧を生成して出力する(図8に示す波形b)。

【0013】また、フィルタ3は、バッファ1からの使用量信号12(図8に示す波形c)を平滑化して適応クロックによりクロックを再生するための第2の制御電圧を

(4)

特開平9-214477

5

生成して出力する(図8に示す波形d)。クロック再生法切換部4はSRTS法制御電圧生成部2の出力を選択するための選択信号を出力する。第1のセレクタ5は、選択信号の指示に従ってSRTS法制御電圧生成部2の出力を選択して(図8に示すBの期間)電圧制御発振器6に入力する。電圧制御発振器6は、第1のセレクタ5から出力される電圧に対応する周波数のクロックを出力する。このように、SRTS法によるクロックを再生している間は、SRTS法制御電圧生成部2の出力をもとにクロックを再生する。

【0014】次に、バッファ1に格納される情報量が予め設定された上限値13以上または下限値15以下となった後(図8に示すCの期間:本従来例では上限値13以上となつた状態を示す)、適応クロック法によりクロックを再生している間の動作について説明する。この場合、クロック再生法切換部4は、適応クロック法によりクロック再生するため、フィルタ3の出力する第2の制御電圧を選択するための選択信号を出力する。第1のセレクタ5は、選択信号の指示に従ってフィルタ3の出力を選択して(図8に示すCの期間)電圧制御発振器6に入力する。電圧制御発振器6は、第1のセレクタ5から出力される電圧に対応する周波数のクロックを出力する。また、適応クロック法ではバッファ1に格納される情報量を基準値11まで戻し、バッファ1に格納される情報量が基準値11まで戻った後は、再びSRTS法によりクロックの再生を行う。

【0015】このように前記従来例において、バッファ1に格納される情報量をもとにし、SRTS法と適応クロック法とを切り換えることにより、バッファのオーバーフロー／アンダーフローが発生することなく、SRTS法と適応クロック法を組み合せた方式によりクロックの再生を行うことができる。

【0016】

【発明が解決しようとする課題】しかしながら、このような構成のSRTS法と適応クロック法とを組み合せた方式によるクロック再生装置では、SRTS法によりクロックを再生している間のバッファに格納される情報量は、常に基準値より多い(または少ない)状態となっているため、適応クロック法によりクロックを再生するためのフィルタから出力される第2の制御電圧は、バッファに格納される情報量を少なくするためにハイレベル(または、多くするためにローレベル)が出力される。

【0017】このためにクロック再生法をSRTS法から適応クロック法へ切り換えたとき(図8に示すDの位置)、電圧制御発振器に入力される制御電圧が大きく変化し、電圧制御発振器から出力されるクロックに大きなジッタが発生するという問題があった。

【0018】本発明は、前記従来技術の問題を解決するものであり、クロック再生方法をSRTS法から適応クロック法へ切り換えたときに、再生クロックに発生する

ジッタを低減するクロック再生装置を提供することを目的とする。

【0019】

【課題を解決するための手段】この目的を達成するため、本発明に係るクロック再生装置は、受信したセルに格納されている情報を格納し該情報の量が予め設定された閾値以上であることを示す使用量信号を出力する格納手段と、送信側クロックの周波数情報を表す同期タイムスタンプ残差情報を用いるSRTS法により、クロックの再生を行うための第1の制御電圧を生成するSRTS法制御電圧生成手段と、入力信号を平滑化して適応クロック法によりクロックの再生を行うための第2の制御電圧を生成するフィルタ手段と、第1の制御電圧と第2の制御電圧のどちらかを選択する第1の選択手段と、SRTS法と適応クロック法のクロック再生法を切り換えるための選択手段を出力するクロック再生法切換手段と、第1の選択手段の選択した制御電圧に応じて出力するクロックの周波数を変化させる電圧制御発振手段と、第1の制御電圧に近い電圧を出力する中間電圧生成手段と、

20 中間電圧生成手段の出力と使用量信号のどちらかを選択してフィルタ手段に入力する第2の選択手段を備える。【0020】また、本発明のクロック再生装置は前記中間電圧生成手段と第2の選択手段に代えて、第1の制御電圧と第2の制御電圧が一致するように格納手段の閾値を変える閾値制御手段を備える。

【0021】また、本発明のクロック再生装置は前記中間電圧生成手段を除き、中間電圧生成手段の出力に代えて第1の制御電圧を入力し、使用量信号との選択をして前記フィルタ手段に入力する第2の選択手段を備えるよう構成したものである。

【0022】前記構成によれば、第1の選択手段において第1の制御電圧を選択している間、第2の選択手段では中間電圧生成手段の出力を選択しフィルタ手段に入力し、第1の選択手段により第2の制御電圧が選択され第2の選択手段が使用量信号を選択して、第2の制御電圧が変化しても該第2の制御電圧は中間電圧生成手段の出力値から変化するため、第1の制御電圧から第2の制御電圧へ切り換えた際に生じる電圧変動が小さくできる。

【0023】また、閾値制御手段は第1の制御電圧と第2の制御電圧が一致するように格納手段の閾値を変える制御により、第1の制御電圧から第2の制御電圧へ切り換えた際に生じる電圧変動が小さくできる。

【0024】また、第2の選択手段では第1の制御電圧を選択してフィルタ手段に入力し、第2の制御電圧を第1の制御電圧と等しくすることで、第1の選択手段により第2の制御電圧が選択され第2の選択手段が使用量信号を選択して、第2の制御電圧が変化しても第2の制御電圧は前記第1の制御電圧の値から変化するため、第1の制御電圧から第2の制御電圧へ切り換えた際に生じる電圧変動が小さくできる。

## 【0025】

【発明の実施の形態】以下、図面を参照して本発明における実施の形態を詳細に説明する。図1は、本発明の実施の形態1におけるクロック再生装置の構成を示すプロック図である。以下の各図において、前述の図7を参照する従来例の説明で登場した構成要素と同一の作用効果のものには同一の符号を付す。

【0026】図1において、1は格納手段であるバッファ、2は第1の制御電圧を出力するSRTS法制御電圧生成部、3は第2の制御電圧を出力するフィルタ、4は後述する第1、第2のセレクタに選択信号を出力するクロック再生法切換部、5は第1の選択手段である第1のセレクタ、6は電圧制御発振器、20はSRTS法制御電圧生成部2の出力に近い電圧を出力する中間電圧生成部、21は、第2の選択手段である、バッファ1からの使用電信号または中間電圧生成部20の出力のどちらかを選択し、フィルタ3に输出する第2のセレクタである。また、11は基準値、12は使用電信号、13は上限値、14は上限信号、15は下限値、16は下限信号、CLKはクロック送子である。

【0027】図2は本実施の形態1のクロック再生装置の動作を説明するため各信号波形のタイミングを示す図である。図2において、aはバッファ1に格納される情報量により変化する使用量の波形、bはSRTS法制御電圧生成部2から出力される第1の制御電圧の波形、cはバッファ1の使用電信号12の波形、dは中間電圧生成部20から出力される波形、eは第1のセレクタ5から出力される波形である。

【0028】以上のように構成される本実施の形態1のクロック再生装置は、前記従来例の構成に中間電圧生成部20、第2のセレクタ21を設けたものである。まず、中間電圧生成部20、第2のセレクタ21の動作を中心として、バッファ1に格納される情報量が基準値11以上となった後、SRTS法によりクロックを再生している間(図2に示すBの期間)の動作について説明する。

【0029】SRTS法制御電圧生成部2では、セルに格納されている同期タイムスタンプ残差情報をもとにSRTS法によるクロックを再生するための第1の制御電圧を生成して出力する(図2に示す波形b)。この第1の制御電圧は、第1のセレクタ5により選択され電圧制御発振器6に入力されて、SRTS法によるクロックを再生している。このとき、第2のセレクタ21では中間電圧生成部20からの出力(図2に示す波形d)を選択してフィルタ3に入力する。フィルタ3では、第2のセレクタ21の出力を平滑化して適応クロック法によるクロックを再生するための第2の制御電圧を出力する(図2に示すBの期間)。

【0030】バッファ1に格納される情報量が上限値13以上(または下限値15以下)となり、上限信号14(または下限信号15)がバッファ1から出力される。クロック再

生送切換部4はその上限信号14(または下限信号15)を受け第1のセレクタ5に選択信号を出力する。この選択信号によりSRTS法から適応クロック法へ切り換えられ、第1のセレクタ5は第1の制御電圧から第2の制御電圧を選択する。適応クロック法に切り換えた後(図2に示すCの期間)は、第2のセレクタ21はバッファ1からの使用電信号12(図2に示す波形c)を選択してフィルタ3に出力する。

【0031】以上のことから、バッファ1に格納される情報量が上限値13以上(または下限値15以下)となった後、第1のセレクタ5で適応クロック法に切り換える際(図2に示すDの位置)に、フィルタ3の入力が切り換えられてもその出力は中間電圧生成部20の出力値から使用電信号12の値に変化するので、SRTS法によりクロックを再生するための第1の制御電圧と適応クロック法によりクロックを再生するための第2の制御電圧の電圧差を小さくできる。このためSRTS法から適応クロック法へ切り換えた際に生じる電圧変動が小さくなり、電圧制御発振器6から出力されるクロックに生じるジッタの量を低減することができる。

【0032】図3は本発明の実施の形態2におけるクロック再生装置の構成を示すプロック図である。図3において、1はバッファ、2はSRTS法制御電圧生成部、3はフィルタ、4はクロック再生法切換部、5は第1のセレクタ、6は電圧制御発振器、22は、SRTS法制御電圧生成部2の出力するSRTS法によりクロックを再生するための第1の制御電圧とフィルタ3の出力する適応クロック法によりクロックを再生する第2の制御電圧とを比較し、両方の制御電圧が一致するようにバッファ30に設定する基準値11を変える閾値制御部である。また、11は基準値、12は使用量信号、13は上限値、14は上限信号、15は下限値、16は下限信号、CLKはクロック送子である。

【0033】図4は本実施の形態2のクロック再生装置の動作を説明するため各信号波形のタイミングを示す図である。図4において、aはバッファ1に格納される情報量により変化する使用量の波形、bはSRTS法制御電圧生成部2から出力される第1の制御電圧の波形、cはバッファ1の使用電信号12の波形、dはフィルタ3から出力される第2の制御電圧の波形、eは第1のセレクタ5から出力される波形である。

【0034】以上のように構成される本実施の形態2のクロック再生装置は、前記従来例の構成に閾値制御部22を設けた構成である。バッファ1、SRTS法制御電圧生成部2、フィルタ3、クロック再生法切換部4、第1のセレクタ5、電圧制御発振器6の動作は前記従来例の説明と同じであるため、閾値制御部22の動作を中心として、まずバッファ1に格納される情報量が基準値11以上となった後、SRTS法によりクロックを再生している間(図4に示すBの期間)の動作について説明する。

【0035】SRTS法制御電圧生成部2は、セルに格納されている同期タイミング差情報をもとにSRTS法によるクロックを再生するための第1の制御電圧を生成して出力する(図4に示す波形b)。また、フィルタ3では、バッファ1から出力される使用登信号12(図4に示す波形c)を平滑化して、適応クロック法によりクロックを再生するための第2の制御電圧を生成して出力する(図4に示す波形d)。このとき、閾値制御部22は、第1の制御電圧と第2の制御電圧とを比較し、バッファ1に設定されている閾値の基準値11の値を変え、各制御電圧が一致するように制御する。

【0036】また、バッファ1に格納される情報量が予め設定された上限値13以上(または下限値15以下)となり、適応クロック法に切り換えた後(図4に示すCの期間)は、閾値制御部22ではバッファ1に与える基準値11を最初の値に戻す。

【0037】以上のことから、バッファ1に格納される情報量が上限値13以上(または下限値15以下)となった後、第1のセレクタ5で適応クロック法に切り換える際(図4に示すDの位置)に、閾値制御部22がバッファ1の基準値11を変えて第1の制御電圧と第2の制御電圧の各制御電圧が一致するように制御しているため、SRTS法から適応クロック法へ切り換えた際に生じる電圧変動がほとんどなくなり(図4に示す波形e)、電圧制御発振器6から出力されるクロックに生じるジャッタの量を大幅に低減できる。

【0038】図5は本発明の実施の形態3におけるクロック再生装置の構成を示すブロック図である。ここで、前記実施の形態1の図1で説明した同一作用効果のものには同一の符号を付す。図5において、1はバッファ、2はSRTS法制御電圧生成部、3はフィルタ、4はクロック再生法切換部、5は第1のセレクタ、6は電圧制御発振器、21は第1の制御電圧と使用登信号を選択する第2のセレクタである。また、11は基準値、12は使用登信号、13は上限値、14は上限信号、15は下限値、16は下限信号、CLKはクロック端子である。

【0039】図6は本実施の形態3のクロック再生装置の動作を説明するため各信号波形のタイミングを示す図である。図6において、aはバッファ1に格納される情報量により変化する使用登の波形、bはSRTS法制御電圧生成部2から出力される第1の制御電圧の波形、cはバッファ1の使用登信号12の波形、dはフィルタ3から出力される第2の制御電圧の波形、eは第1のセレクタ5から出力される波形である。

【0040】以上のように構成される本実施の形態3のクロック再生装置は、前記実施の形態1の構成における第2のセレクタ21に入力される中間電圧生成部20の出力に代えて、SRTS法制御電圧生成部2の出力である第1の制御電圧を入力するものである。まず、バッファ1に格納される情報量が基準値11以上となった後、SRT

S法によりクロックを再生している間(図6に示すBの期間)の動作について説明する。

【0041】SRTS法制御電圧生成部2では、セルに格納されている同期タイミング差情報をもとにSRTS法によるクロックを再生するための第1の制御電圧を生成して出力する(図4に示す波形b)。このとき、第2のセレクタ21は第1の制御電圧を選択してフィルタ3に出力する。フィルタ3は第2のセレクタ21から出力される第1の制御電圧を平滑化して第2の制御電圧として出力する(図6に示す波形d)。

【0042】バッファ1に格納される情報量が上限値13以上(または下限値15以下)となり、適応クロック法に切り換えた後(図6に示すCの期間)は、第2のセレクタ21ではバッファ1からの使用登信号12(図6に示す波形c)を選択して、フィルタ3に出力する。

【0043】以上のことから、バッファ1に格納される情報量が上限値13以上(または下限値15以下)となった後、第1のセレクタ5で適応クロック法に切り換える際(図6に示すDの位置)、フィルタ3に入力される第1の制御電圧から使用登信号12へ切り換えられても、出力である第2の制御電圧は第1の制御電圧の値から変化するため、SRTS法から適応クロック法へ切り換えた際に生じる電圧変動がほとんどなくなり(図6に示す波形e)、電圧制御発振器6から出力されるクロックに生じるジャッタの量を大幅に低減できる。

【0044】また、本実施の形態3の構成は、SRTS法制御電圧生成部2の出力を第2のセレクタ21で選択しフィルタ3に入力するため、前記実施の形態1の構成よりもクロック再生装置をより少ない回路構成で実現することができる。

【0045】

【発明の効果】以上説明したように、本発明によれば、バッファに格納される情報量が上限値以上(または下限値以下)となった後、第1のセレクタでSRTS法から適応クロック法へ切り換える際に、フィルタの入力が切り換えられてもその出力は中間電圧生成部の出力値から使用登信号の値に変化するので、第1の制御電圧と第2の制御電圧の電圧差が小さくなり、電圧制御発振器から出力されるクロックに生じるジャッタの量を低減することができる。

【0046】また、SRTS法のクロック再生時に、閾値制御部が基準値を変えて第1の制御電圧と第2の制御電圧の各制御電圧が一致するように制御しているため、SRTS法から適応クロック法へ切り換えた際に生じる電圧変動がほとんどなくなり、電圧制御発振器から出力されるクロックに生じるジャッタの量を大幅に低減できる。

【0047】また、バッファに格納される情報量が上限値以上(または下限値以下)となった後、第1のセレクタ

(7)

特開平9-214477

11

5でSRTS法から適応クロック法へ切り換える際、フィルタに入力される第1の副御電圧から使用登信号へ切り換えられても、出力である第2の副御電圧は第1の制御電圧の値から変化するため、SRTS法から適応クロック法へ切り換えた際に生じる電圧変動がほとんどなくなり、電圧制御発振器から出力されるクロックに生じるジッタの値を大幅に低減でき、さらに、SRTS制御電圧生成部の出力を第2のセレクタで選択しフィルタに入力する構成のため、クロック再生装置をより少ない回路構成により実現することができるという効果を奏ずる。

## 【図面の簡単な説明】

【図1】本発明の実施の形態1におけるクロック再生装置の構成を示すブロック図である。

【図2】本発明の実施の形態1のクロック再生装置の動作を説明するための各信号波形のタイミングを示す図である。

【図3】本発明の実施の形態2におけるクロック再生装置の構成を示すブロック図である。

12

\* 【図4】本発明の実施の形態2のクロック再生装置の動作を説明するため各信号波形のタイミングを示す図である。

【図5】本発明の実施の形態3におけるクロック再生装置の構成を示すブロック図である。

【図6】本発明の実施の形態3のクロック再生装置の動作を説明するため各信号波形のタイミングを示す図である。

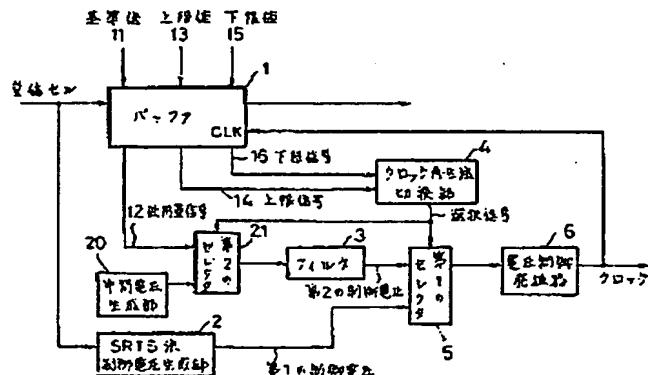
【図7】従来のSRTS法と適応クロック法を組み合わせたクロック再生装置の構成を示すブロック図である。

【図8】従来のクロック再生装置の動作を説明するため各信号波形のタイミングを示す図である。

## 【符号の説明】

1…パッファ、 2…SRTS法制御電圧生成部、 3…フィルタ、 4…クロック再生法切換部、 5…第1のセレクタ、 6…電圧副御発振器、 11…基準値、 12…使用登信号、 13…上限値、 14…上限信号、 15…下限値、 16…下限信号、 20…中間電圧生成部、 21…第2のセレクタ、 22…閾値制御部。

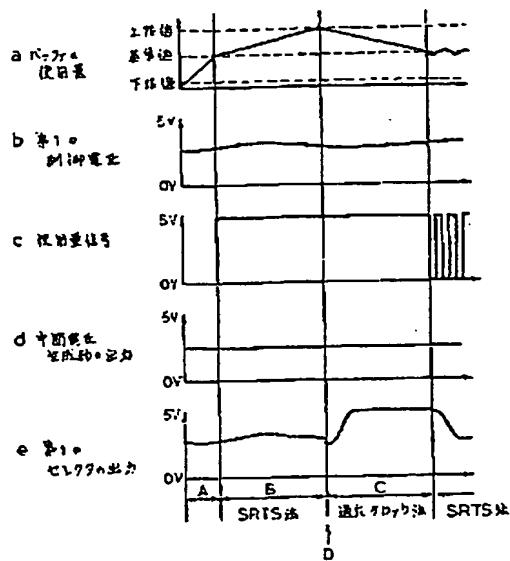
【図1】



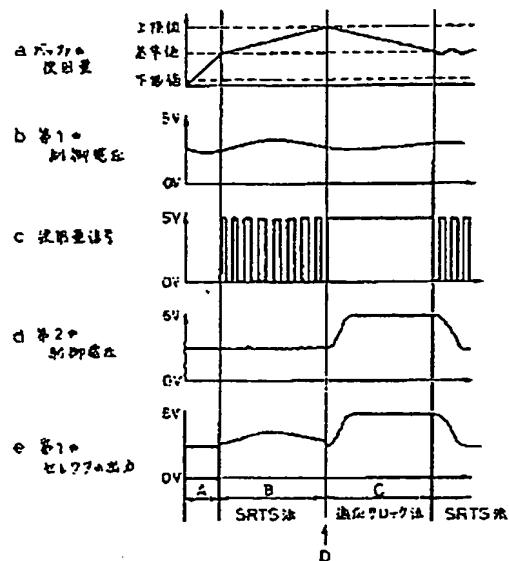
(8)

特開平9-214477

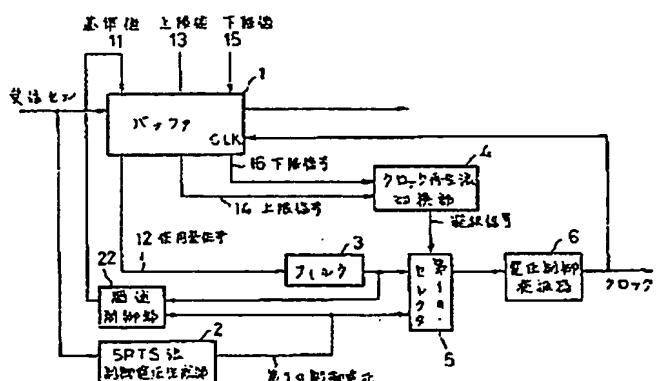
[図2]



[図4]



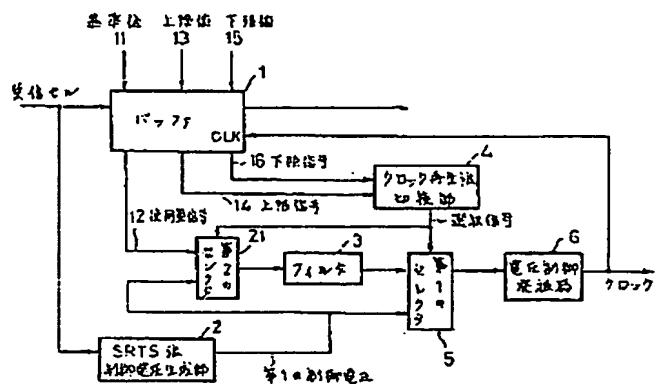
[図3]



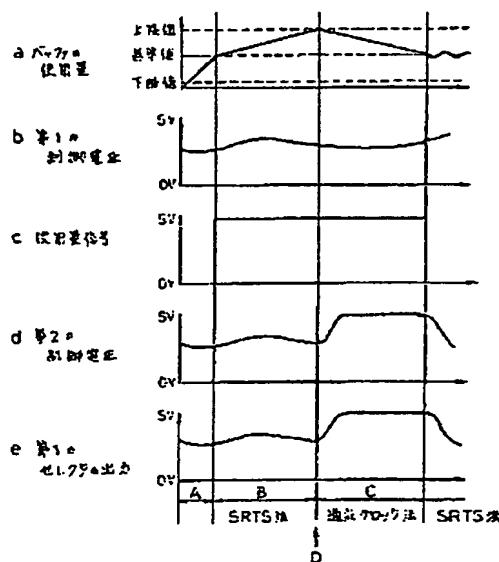
(9)

特购平9-214477

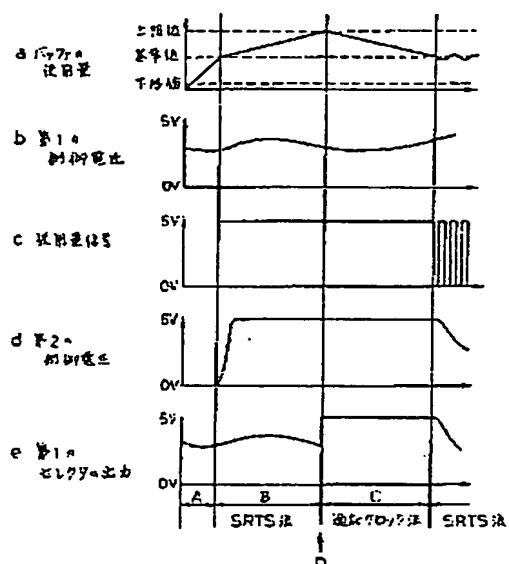
〔图5〕



[图6]



〔图8〕



(10)

特開平9-214477

【図7】

